

opposite

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223772

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8238
27/092

H 0 1 L 27/08

3 2 1 B

審査請求 有 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平9-23604

(22) 出願日 平成9年(1997) 2月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 益岡 完明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 尾身 祐助

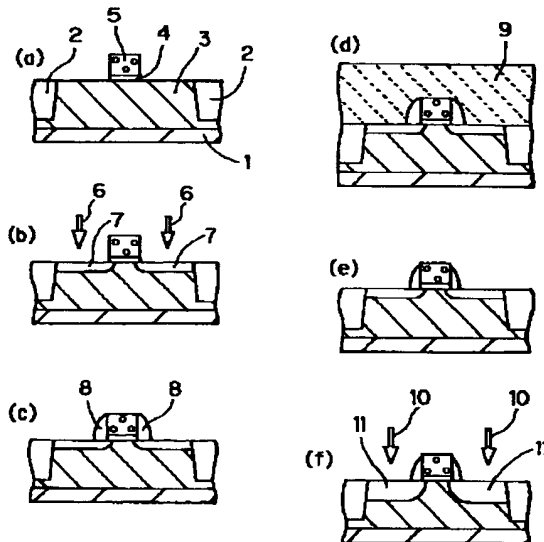
$$W_{PMOS} < W_{NMOS}$$

(54) 【発明の名称】 CMOS半導体装置およびその製造方法

(57) 【要約】

【目的】 nMOSをLDD構造に、pMOSをシングルドレイン構造に形成する製造方法において、pMOSのソース・ドレインを過度に深く形成しないで済むようにする。

【構成】 n型ウェル領域3、p型ウェル領域(図示なし)上にゲート酸化膜4を介してゲート電極5を形成する(a)。As⁺ 6を注入してn型低濃度領域7を形成する(b)。ゲート電極の側面にサイドウォール・スペーサ8を形成する(c)。n型ウェル領域3上にレジスト膜を形成し、図外p型ウェル領域にn型不純物を高濃度にドーピングしてLDD構造のソース・ドレインを形成する(d)。pMOS形成領域側のサイドウォール・スペーサの表面をエッチングしてその幅を減少する(e)。BF₂⁺ 10を注入してp⁺型ソース・ドレイン領域11を形成する(f)。



1…p型Si基板
2…フィールド酸化膜
3…n型ウェル領域
4…ゲート酸化膜
5…ゲート電極

7…n型低濃度領域
8…サイドウォール・スペーサ
9…レジスト膜
10…BF₂⁺
11…p⁺型ソース・ドレイン領域

【特許請求の範囲】

【請求項1】 側面に第1のサイドウォール・スペーサを有しLDD構造のソース・ドレイン領域を有する第1導電型チャンネルMOSFETと、側面に第2のサイドウォール・スペーサを有しシングルドレイン構造のソース・ドレイン領域を有する第2導電型チャンネルMOSFETと、を有するCMOS半導体装置において、前記第1のサイドウォール・スペーサの幅が第2のサイドウォール・スペーサの幅より大きいことを特徴とするCMOS半導体装置。

【請求項2】 前記第1導電型チャンネルMOSFETのソース・ドレイン領域の接合深さが、前記第2導電型チャンネルMOSFETのソース・ドレイン領域の接合深さと同等もしくは大きいことを特徴とする請求項1記載のCMOS半導体装置。

【請求項3】 (1) 第2導電型半導体領域上および第1導電型半導体領域上にそれぞれゲート絶縁膜を介して第1、第2のゲート電極を形成する工程と、

(2) 前記第1、第2のゲート電極をマスクとして前記第2導電型および第1導電型半導体領域内に第1導電型不純物を低濃度にドーピングして前記第1、第2のゲート電極の両側の第2導電型および第1導電型半導体領域の表面領域内に第1導電型低濃度領域を形成する工程と、

(3) 絶縁膜を全面に堆積しエッチバックを行って前記第1、第2のゲート電極の側面にそれぞれ第1、第2のサイドウォール・スペーサを形成する工程と、

(4) 前記第1導電型半導体領域上を第1のマスクで覆い、該第1のマスク、前記第1のゲート電極および前記第1のサイドウォール・スペーサをマスクとして第1導電型不純物を高濃度にドーピングして前記第1のサイドウォール・スペーサの外側の前記第2導電型半導体領域の表面領域内に第1導電型高濃度領域を形成する工程と、

(5) 前記第2導電型半導体領域上を第2のマスクで覆った状態で前記第2のサイドウォール・スペーサの表面に等方性エッチングを施してその膜厚を減少させた上で、前記第2のマスク、前記第2のゲート電極および前記第2のサイドウォール・スペーサをマスクとして第2導電型不純物を高濃度にドーピングして前記第2のゲート電極の外側の前記第1導電型半導体領域の表面領域内に第2導電型高濃度領域を形成する工程と、を有し、この順で、若しくは、前記第(4)の工程と前記第(5)の工程との順序を入れ替えて行うことを特徴とするCMOS半導体装置の製造方法。

【請求項4】 前記第(5)の工程において、前記第2のサイドウォール・スペーサの等方性エッチング処理に先立ってイオン種の斜め注入によって前記第2のサイドウォール・スペーサの表面を荒らす工程が付加されることを特徴とする請求項3記載のCMOS半導体装置の製造方法。

ンであることを特徴とする請求項4記載のCMOS半導体装置の製造方法。

【請求項6】 前記第(5)の工程における等方性エッチングがウェットエッチングであることを特徴とする請求項3、4または5記載のCMOS半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はnチャンネルMOSFETとpチャンネルMOSFETとを有するCMOS半導体装置とその製造方法に関し、特に、特にフォトリソグラフィ工程の回数を増やすことなく、nチャンネルMOSFETおよびpチャンネルMOSFETの短チャンネル効果を抑制することのできるCMOS半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】素子が微細化され、ゲート長が短くなると、しきい電圧が低下するいわゆる短チャンネル効果が顕著になってくる。この短チャンネル効果を抑制する方法の一つとして、ソース・ドレイン領域を浅く形成することが一般に知られている。しかし、このソース・ドレイン領域を浅く形成すると、ソース・ドレイン領域にコンタクトを形成する際にプロセスマージンが狭くなる、またシリサイド化が困難になる、などの問題が発生するため、ソース・ドレイン領域を、浅い接合を有する低不純物濃度領域と比較的深い接合を有する高不純物濃度領域とによって構成する、所謂LDD構造に形成することが広く採用されている。これは、浅い接合を有する低不純物濃度領域で短チャンネル効果を改善し、比較的深い接合を有する高不純物濃度領域でシリサイド化やコンタクトの形成を容易に行いうるようにするものである。しかし、通常の製造方法で、nチャンネルMOSFET（以下、nMOSFETという）とpチャンネルMOSFET（以下、pMOSFETという）の双方をLDD構造に形成するには、①n型低濃度領域の形成、②p型低濃度領域の形成、③n型高濃度領域の形成、④p型高濃度領域の形成、のそれぞれの工程において反対側のウェル領域をマスクにて被覆する必要があるため、ソース・ドレイン領域を形成するのに4回ものフォトリソグラフィ工程を繰り返さなければならないことになり、多くの工数を要することになる。そこで、比較的短チャンネル効果の現れにくいpMOSについては、シングルドレイン構造とし、2回のフォトリソグラフィによりソース・ドレイン領域を形成する方法が提案されている。以下に、この従来技術について図面を参照して説明する。

【0003】図4、図5は上述の従来例を説明するための工程順の断面図である。まず、図4(a)に示すように、p型Si基板101上にフィールド酸化膜102を形成し、n型ウェル領域103およびp型ウェル領域1

型Si基板101上にゲート酸化膜105を形成した後、ポリSiからなるnMOSFETのゲート電極106およびpMOSFETのゲート電極107を形成する。

【0004】その後、図4(c)に示すように、nMOSFET形成領域およびpMOSFET形成領域にAs⁺（ヒ素イオン）108を低濃度（例えばドーザ量：2～5×10¹³cm⁻²）にイオン注入して、nMOSFET形成領域およびpMOSFET形成領域の双方にn型低濃度領域109、110を形成する。その後、図5

(d)に示すように、p型Si基板101上にCVD法によりSiO₂層を形成した後、異方性エッチングを行うことにより、nMOSFETのゲート電極106およびpMOSFETのゲート電極107の側面に、SiO₂からなるサイドウォール・スペーサ111、112を形成する。

【0005】その後、図5(e)に示すように、nMOSFET上をフォトレジストからなる第1のマスク層113で覆った後、pMOSFET形成領域にB⁺（ボロンイオン）114を高濃度にイオン注入し、p型高濃度

ソース・ドレイン領域115を形成する。この際、n型低濃度領域110はp型高濃度ソース・ドレイン領域115の中に含まれ、p型領域に反転する。その後、第1のマスク層113を除去した後、図5(f)に示すように、pMOSFET領域上をフォトレジストからなる第2のマスク層117で覆った後、nMOSFET領域にAs⁺118を高濃度にイオン注入し、n型高濃度領域119を形成する。その後、第2のマスク層117を除去してCMOSFETの製造工程が完了する。

【0006】なお、nMOSFETのみをLDD構造とするCMOS半導体装置の製造方法や、nMOSFETおよびpMOSFETの双方をLDD構造とするCMOS半導体装置の製造方法としては、以下の方法が知られている。nMOSFET形成領域上およびpMOSFET形成領域上にゲート電極を形成し、pMOSFET形成領域上にレジスト膜を形成した状態でnMOSFET形成領域にn⁻型領域を形成する。nMOSFET側のゲート電極の側面にサイドウォール・スペーサを形成し、pMOSFET形成領域上にレジスト膜を形成した状態でn型不純物を高濃度にドーピングしてn⁺型領域を形成する。pMOSFET形成領域のゲート電極の側面にnMOSFET側より幅の大きいサイドウォール・スペーサを形成し、nMOSFET形成領域上にレジスト膜を形成した状態でp型不純物を高濃度にドーピングしてp⁺型ソース・ドレイン領域を形成する（特開平3-41763号公報）。nMOSFET形成領域上およびpMOSFET形成領域上にゲート電極を形成し、両方の領域にn型不純物を低濃度にドーピングして両方の領域にn⁻型領域を形成し、両方のゲート電極の側面にサイドウォール・

スト膜を形成した状態でp型不純物を高濃度にイオン注入してpMOSFET形成領域にp⁺型領域を形成する。次いで、p型不純物を斜め方向からイオン注入してn⁻型領域をp⁻型領域に反転させる。pMOSFET形成領域上にレジスト膜を形成した状態でn型不純物を高濃度にドーピングしてn⁺型領域を形成する（特開平5-145030号公報）。

【0007】

【発明が解決しようとする課題】上述した従来例では、図5(f)に示すように、nMOSFETはLDD構造に、またpMOSFETはシングルドレイン構造に形成されているが、一般に、短チャネル効果はチャネル領域寄りのソース・ドレイン領域の接合深さに依存するため、この従来例では、nMOSFETはn型低濃度領域109の接合深さ、またpMOSFET領域はp型高濃度ソース・ドレイン領域115の接合深さで短チャネル特性が支配される。従って、nMOSFET形成領域では、n型低濃度領域109を一定程度残存させる必要があるため、n型高濃度領域119の横方向の広がりを考慮して、図5(f)に示すAs⁺のイオン注入時にマスクとなるサイドウォール・スペーサ111を厚く形成することが望まれる。しかしながら、pMOSFET側では、n型低濃度領域の導電型をサイドウォール・スペーサ形成後、図5(e)に示すB⁺のイオン注入により反転させる工程を用いているため、サイドウォール・スペーサを厚く形成した場合、p型高濃度ソース・ドレイン領域を深く形成する必要がある。そのため、pMOSFET領域のp型高濃度ソース・ドレイン領域の接合深さはnMOSFET領域のn型高濃度ソース・ドレイン領域の接合深さより深くなってしまう。その結果、pMOSFET側の短チャネル効果が顕著になり、pMOSFETのゲート長の微細化が制限されることになる。よって、本発明の解決すべき課題は、ソース・ドレイン領域を形成するためのフォトリソグラフィ工程を2回に留めつつ、nチャネルおよびpチャネルのMOSFETの短チャネル効果を抑制できるようにすることである。

【0008】

【課題を解決するための手段】上述した課題を解決するため、本発明によれば、側面に第1のサイドウォール・スペーサを有しLDD構造のソース・ドレイン領域を有する第1導電型チャネルMOSFETと、側面に第2のサイドウォール・スペーサを有しシングルドレイン構造のソース・ドレイン領域を有する第2導電型チャネルMOSFETと、を有するCMOS半導体装置であって、前記第1のサイドウォール・スペーサの幅が第2のサイドウォール・スペーサの幅より大きいことを特徴とするCMOS半導体装置、が提供される。

【0009】また、上述の課題を解決するため、本発明によれば、(1)第2導電型半導体領域上および第1導

5

1、第2のゲート電極を形成する工程と、(2)前記第1、第2のゲート電極をマスクとして前記第2導電型および第1導電型半導体領域内に第1導電型不純物を低濃度にドーピングして前記第1、第2のゲート電極の両側の第2導電型および第1導電型半導体領域の表面領域内に第1導電型低濃度領域を形成する工程と、(3)絶縁膜を全面に堆積しエッチバックを行って前記第1、第2のゲート電極の側面にそれぞれ第1、第2のサイドウォール・スペーサを形成する工程と、(4)前記第1導電型半導体領域上を第1のマスクで覆い、該第1のマスク、前記第1のゲート電極および前記第1のサイドウォール・スペーサをマスクとして第1導電型不純物を高濃度にドーピングして前記第1のサイドウォール・スペーサの外側の前記第2導電型半導体領域の表面領域内に第1導電型高濃度領域を形成する工程と、(5)前記第2導電型半導体領域上を第2のマスクで覆った状態で前記第2のサイドウォール・スペーサの表面に等方性エッチングを施してその膜厚を減少させた上で、前記第2のマスク、前記第2のゲート電極および前記第2のサイドウォール・スペーサをマスクとして第2導電型不純物を高濃度にドーピングして前記第2のゲート電極の外側の前記第1導電型半導体領域の表面領域内に第2導電型高濃度領域を形成する工程と、を有し、この順で、若しくは、前記第(4)の工程と前記第(5)の工程との順序を入れ替えて行うことを特徴とするCMOS半導体装置の製造方法、が提供される。

【0010】

【発明の実施の形態】図1(a)～(f)は、本発明の実施の形態を説明するための工程順の断面図である。まず、図1(a)に示すように、周知の技術によりp型Si基板1上にフィールド酸化膜2を形成して素子分離を行う。次に、p型ウェル領域(図示なし)とn型ウェル領域3を形成する。次いで、ゲート酸化膜4を熱酸化法により形成した後、CVD法によりノンドーパのポリシリコンを堆積し、フォトリソグラフィ工程およびエッチング工程により、ゲート電極5を形成する。

【0011】その後、図1(b)に示すように、ゲート電極5およびフィールド酸化膜2をマスクとして、n型不純物例えばAs⁺(ヒ素イオン)6をイオン注入して、n型低濃度領域7を形成する。このとき、図示されないp型ウェル領域においても同時にn型低濃度領域が形成される。その後、熱処理を施して注入イオン種の活性化を行う。次に、図1(c)に示すように、p型Si基板1上全面にCVD法により絶縁膜例えばSiO₂膜を堆積した後、異方性エッチングを行い、ゲート電極側面にサイドウォール・スペーサ8を形成する。

【0012】次に、図1(d)に示すように、pMOSFET形成領域上をレジスト膜9にて覆い、nMOSFET形成領域(図示なし)にn型不純物例えばP(リ

6

後、レジスト膜9を剥離除去し図示されないnMOSFET形成領域上をレジスト膜で被覆した後、図1(e)に示すように、等方性エッチングによりサイドウォール・スペーサ8の表面をエッチングして、スペーサの膜厚を減少させる。この等方性エッチングに先立って、イオン種例えばBF₂⁺を低エネルギーで斜めイオン注入して、サイドウォール・スペーサ8の表面を荒らしておくことができる。また、等方性エッチングとして希フッ酸溶液などによるウェット法を用いることができる。

【0013】その後、図1(f)に示すように、p型不純物イオン例えばBF₂⁺10をイオン注入して、p⁺型ソース・ドレイン領域11を形成する。このソース・ドレイン領域を形成するためのイオン注入により、n型低濃度領域7をp型に反転させることができる。その後、活性化熱処理を行って、注入イオンを活性化する。

【0014】【作用】上記の製造方法によれば、pMOSFETでは、p⁺型ソース・ドレイン領域11を形成する際に、サイドウォール・スペーサの幅が薄くなされているので、p型不純物を深くイオン注入しなくてもn型低濃度領域7の導電型を反転することができる。したがって、p⁺型ソース・ドレイン領域11の接合深さを浅くすることができ、短チャネル効果を抑制することができる。一方、nMOSFET側では、サイドウォール・スペーサの幅を十分に厚く形成して最終的にLDD領域であるn型低濃度領域が所望の長さ残るようにすることができ、短チャネル効果やホットキャリア効果を十分に抑制することができる。

【0015】

【実施例】次に、本発明の実施例について図面を参照して説明する。図2、図3は、本発明の一実施例を説明するための工程順の断面図である。まず、図2(a)に示すように、(100)面を主面とするp型Si基板21上にフィールド酸化膜22を形成して素子分離を行った後、n型ウェル領域23とp型ウェル領域24を形成する。尚、n型ウェル領域23は例えばP⁺を、エネルギー：700keV、ドーズ量：1.5×10¹³cm⁻²の条件でイオン注入した後、さらに例えばAs⁺を、エネルギー：100keV、ドーズ量：5×10¹²cm⁻²の条件でイオン注入して形成する。また、p型ウェル領域24は、例えばB⁺を、エネルギー：300keV、ドーズ量：2×10¹³cm⁻²の条件でイオン注入した後、例えばB⁺を、エネルギー：30keV、ドーズ量：6×10¹²cm⁻²の条件でイオン注入して形成する。次に、6nm程度のゲート酸化膜25を熱酸化法により形成した後、CVD法によりノンドーパのポリシリコンを200nm程度の膜厚に堆積する。その後、フォトリソグラフィ工程およびエッチング工程により、nMOSFETのゲート電極26およびpMOSFETのゲート電極27を形成する。

7

極26、27およびフィールド酸化膜22をマスクとして、n型ウェル領域23とp型ウェル領域24の双方に、例えばAs⁺ 28を、エネルギー：10keV、ドーズ量： $3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入して、nMOSFET形成領域29およびpMOSFET形成領域30の双方にn型低濃度領域31、32を形成する。その後、窒素雰囲気中で1000℃10秒程度の熱処理を行う。次に、図2(c)に示すように、p型Si基板21上全面にCVD法により厚さ100nm程度のSiO₂膜を堆積した後、異方性エッチングを行い、ゲート電極26、27の側面にSiO₂からなる幅80nm程度のサイドウォール・スペーサ33を形成する。次いで、図2(d)に示すように、pMOSFET形成領域30上にフォトリソistからなる第1のマスク層34を形成し、その後例えばAs⁺ 35を、エネルギー：50keV、ドーズ量： $3 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入して、n型高濃度領域36を形成する。

【0017】次に、第1のマスク層34を除去し、図3(e)に示すように、nMOSFET形成領域29上にフォトリソistからなる第2のマスク層37を形成した後、例えばBF₂⁺ 38を、エネルギー：5keV、ドーズ量： $1 \times 10^{15} \text{ cm}^{-2}$ 、注入角度：45°の条件で斜めイオン注入する。この斜めイオン注入により、pMOSFET側のサイドウォール・スペーサの表面には20nm程度の深さにわたってダメージ層39が形成される。また、注入エネルギーが5keVと低エネルギーであるため、BF₂がサイドウォール・スペーサを通してゲート近傍のSi基板まで達することはない。また、第1のマスク層34の影になるため、基板表面に直接到達するイオンはごく僅かである。

【0018】その後、図3(f)に示すように、1%の希フッ酸溶液で30秒程度ウェットエッチングを行う。1%の希フッ酸溶液のSiO₂に対するエッチングレートが4nm/分であるが、サイドウォール・スペーサ表面のダメージ層の部分はその20倍程度のエッチングレートとなるため、pMOSFET側のサイドウォール・スペーサ表面の20nm程度のダメージ層39を制御性よくエッチングすることができる。その後、図3(g)に示すように、例えばBF₂⁺ 40を、エネルギー：20keV、ドーズ量： $3 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入して、p⁺型ソース・ドレイン領域41を形成する。このソース・ドレイン領域を形成するためのイオン注入により、pMOSFET形成領域30中に存在したn型低濃度領域32をp型に反転させることができる。その後、第2のマスク層37を除去し、窒素雰囲気中で1000℃10秒程度の活性化熱処理を行った後、常法によりシリサイド層、層間の絶縁膜、配線等を形成する。なお、上述の実施例では、n型高濃度領域を形成した後にp⁺型ソース・ドレイン領域を形成していたがこの順序

8

ETをLDD構造に、pMOSFETをシングルドレイン構造に形成していたが、これを逆にすることもできる。

【0019】

【発明の効果】以上説明したように、本発明は、例えば、nMOSFETをLDD構造に、またpMOSFETをシングルドレイン構造に形成するCMOS半導体装置の製造工程において、pMOSFET側のサイドウォール・スペーサをnMOSFET側のサイドウォール・スペーサ幅よりも薄く形成した後にp型ソース・ドレイン領域を形成するためのイオン注入を行うものである。pMOSFETのソース・ドレイン領域を比較的浅く形成してもn型低濃度領域(LDD領域)の導電型を反転させることができる。従って、本発明によれば、pMOSFETのソース・ドレイン領域の接合深さをnMOSFETのソース・ドレイン領域と同等もしくは浅く形成でき、pMOSFETの短チャネル効果を抑制して素子の微細化を実現することができる。また、nMOSFET側では、LDD領域(n型低濃度領域)を十分の長さに確保して短チャネル効果やホットキャリア効果を抑えることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態を説明するための製造工程順の断面図。

【図2】 本発明の一実施例を説明するための製造工程順の断面図の一部。

【図3】 本発明の一実施例を説明するための、図2の工程に続く工程での製造工程順の断面図。

【図4】 従来例を説明するための製造工程順の断面図の一部。

【図5】 従来例を説明するための、図4の工程に続く工程での製造工程順の断面図。

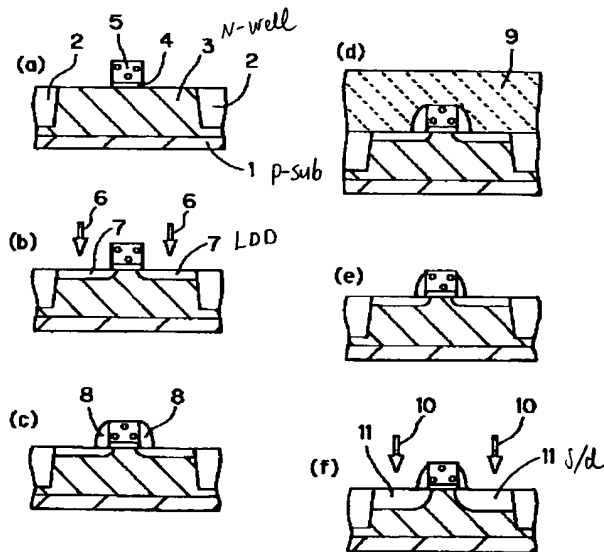
【符号の説明】

- 1 p型Si基板
- 2 フィールド酸化膜
- 3 n型ウェル領域
- 4 ゲート酸化膜
- 5 ゲート電極
- 6 As⁺
- 7 n型低濃度領域
- 8 サイドウォール・スペーサ
- 9 レジスト膜
- 10 BF₂⁺
- 11 p⁺型ソース・ドレイン領域
- 21 p型Si基板
- 22 フィールド酸化膜
- 23 n型ウェル領域
- 24 p型ウェル領域
- 25 ゲート酸化膜

28、35 As^+
 29 nMOSFET形成領域
 30 pMOSFET形成領域
 31、32 n型低濃度領域
 33 サイドウォール・スペーサ
 34 第1のマスク層
 36 n型高濃度領域
 37 第2のマスク層
 38、40 BF_2^+
 39 ダメージ層
 41 p^+ 型ソース・ドレイン領域
 101 p型Si基板
 102 フィールド酸化膜

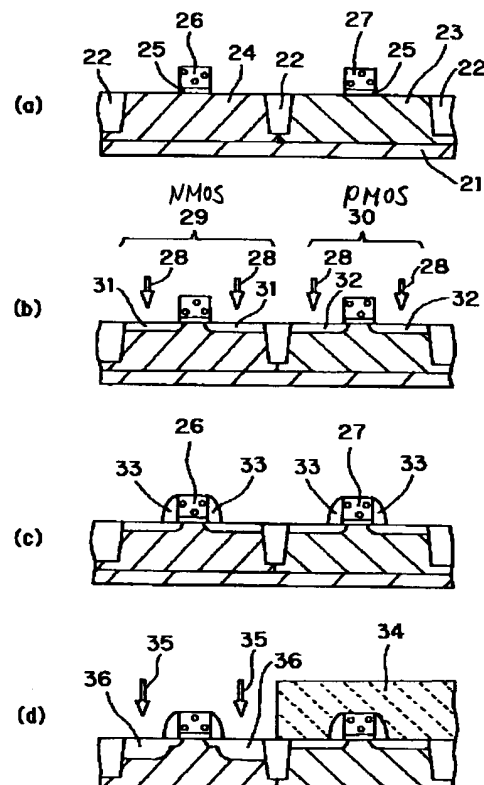
103 n型ウェル領域
 104 p型ウェル領域
 105 ゲート酸化膜
 106、107 ゲート電極
 108、118 As^+
 109、110 n型低濃度領域
 111、112 サイドウォール・スペーサ
 113 第1のマスク層
 114 B^+
 10 115 p型高濃度ソース・ドレイン領域
 117 第2のマスク層
 119 n型高濃度領域

【図1】



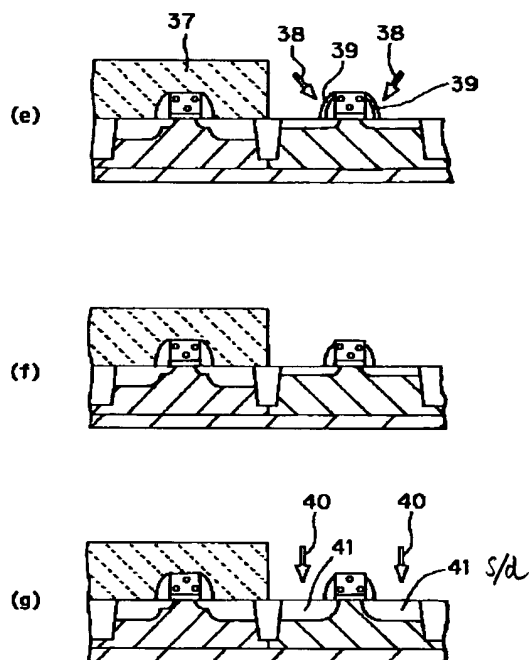
1...p型Si基板
 2...フィールド酸化膜
 3...n型ウェル領域
 4...ゲート酸化膜
 5...ゲート電極
 6... As^+
 7...n型低濃度領域
 8...サイドウォール・スペーサ
 9...レジスト膜
 10... BF_2^+
 11... p^+ 型ソース・ドレイン領域

【図2】

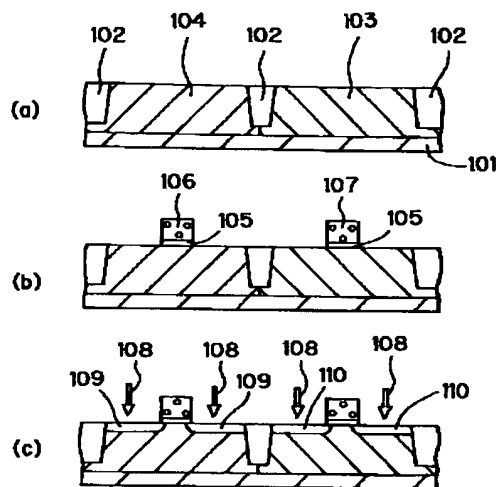


21...PMOS形成領域
 22...フィールド酸化膜
 23...ゲート酸化膜
 24...ゲート電極
 25... As^+
 26...n型低濃度領域
 27...サイドウォール・スペーサ
 28...レジスト膜
 29...NMOS形成領域
 30...PMOS形成領域
 31...n型低濃度領域
 32...サイドウォール・スペーサ
 33...第1のマスク層
 34... B^+
 35...p型高濃度ソース・ドレイン領域
 36...第2のマスク層
 37...n型高濃度領域

【図3】

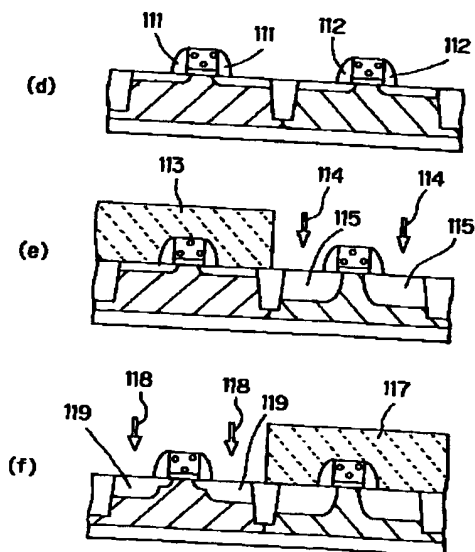


【図4】



101... p型Si基板
102... フィールド酸化膜
103... n型ウェル領域
104... p型ウェル領域
105... ゲート酸化膜
106... ゲート電極
107... ゲート電極
108... As^+
109... n型低濃度領域
110... n型高濃度領域

【図5】



111... サイドウォール・スペーサ
112... サイドウォール・スペーサ
113... 第1のマスク層
114... B^+
115... p型高濃度ソース・ドレイン領域
117... 第2のマスク層
118... As^+
119... n型高濃度領域